

## Deney 7

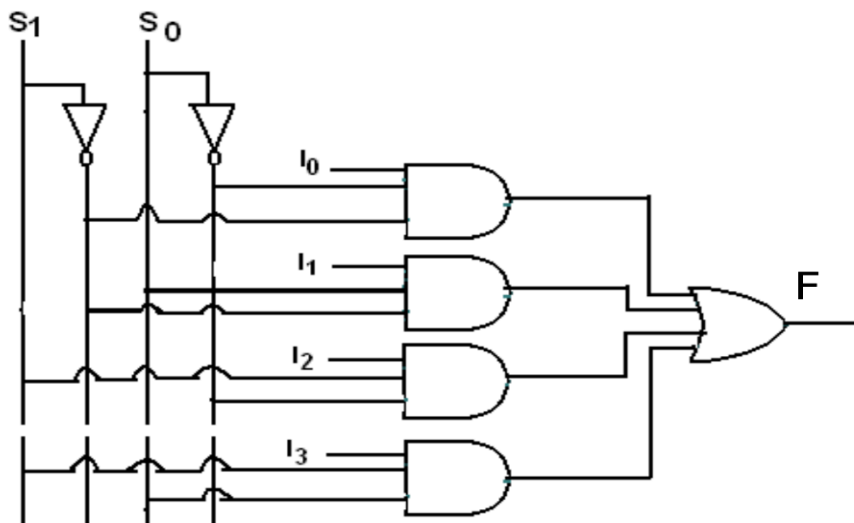
### Bilgi Seçiciler (MUX-Multiplexers)

Bir devrede birden fazla giriş hattı varsa ve bu giriş hatlarından yalnızca birinden bir bilgi alımı gerçekleşecekse bilgi seçiciler bu işlemi gerçekleştirirler. Bir bilgi seçici devresinde bir giriş hattının seçilmesi kontrol (seçici) bitleriyle sağlanır. Bilgi seçici devrelerinde  $2^n$  adet giriş hattı varsa bunlara karşı n adet kontrol biti bulunur. Aşağıdaki şekil ve tabloda dört giriş, bir çıkışlı ve iki kontrol bitine sahip bir bilgi seçicinin doğruluk tablosu ve blok diyagramı gösterilmektedir.

Doğruluk tablosu incelendiğinde kısaca  $S_1$  ve  $S_0$ 'ın her ikisinin 0 olması durumunda çıkışta sadece bilginin  $I_0$  giriş ucundan F çıkış ucuna aktarılacağı,  $S_1$  ve  $S_0$ 'ın her ikisinin 1 olması durumunda bilginin  $I_3$  giriş ucundan F çıkış ucuna aktarılacağı gözlenir.

Girişler		Çıkış	
Bilgi	$S_1$	$S_0$	F
$I_0$	0	0	$I_0$
$I_1$	0	1	$I_1$
$I_2$	1	0	$I_2$
$I_3$	1	1	$I_3$

$$F = S_1'S_0'I_0 + S_1'S_0I_1 + S_1S_0'I_2 + S_1S_0I_3$$



## Bilgi Dağıtıcılar (DEMUX-Demultiplexers)

Bilgi seçicilerin ters işlevini yapan devrelerdir. Bu devrelere gelen bir sinyal belirli bir kuralla birden fazla çıkış hattına aktarılır. Bir bilgi dağıtıcısında bir veri girişi bulunur. Aşağıda 1'den 4'e bilgi dağıtıcısının doğruluk tablosu ve blok diyagramı gösterilmektedir. Burada bilgi dağıtıcısının giriş ucuna gelen bilgi kontrol bitlerinin durumuna göre hangi uca aktarılmak isteniyorsa o çıkış ucuna bilgiyi taşır.

Girişler			Çıkışlar			
$S_0$	$S_1$	Bilgi	$D_3$	$D_2$	$D_1$	$D_0$
0	0	$I$	0	0	0	$I$
0	1	$I$	0	0	$I$	0
1	0	$I$	0	$I$	0	0
1	1	$I$	$I$	0	0	0

$$D_0 = S_0' S_1' I$$

$$D_1 = S_0' S_1 I$$

$$D_2 = S_0 S_1' I$$

$$D_3 = S_0 S_1 I$$

